

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-243547
(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

H01L 27/146
H04N 5/335

(21)Application number : 04-044392

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.03.1992

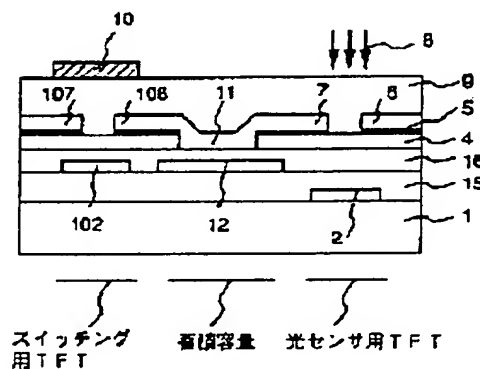
(72)Inventor : KANEKO YOSHIYUKI
YAMAGUCHI MUNEAKI
TSUTSUI KEN

(54) THIN FILM PHOTODIODE

(57)Abstract:

PURPOSE: To provide a TFT-type thin film photodiode having a large photocurrent which is suitable for a close contact type two dimensional image sensor.

CONSTITUTION: The thickness of a gate insulating film 15 of a photodiode TFT is made larger than that of a gate insulating film 16 of a switching TFT and a gate insulating film/amorphous silicon interface in each TFT is formed under the same conditions. Thereby, it is possible to improve a photocurrent and to cope with the demands of small devices with more fine element structure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Japanese Publication for Unexamined Patent
Application No. 243547/1993 (Tokukaihei 05-243547)

A. Relevance of the Above-identified Document

This document has relevance to claims 1 through 4 of the present application.

B. Translation of the Relevant Passages of the Document

[0009]

[MEANS TO SOLVE THE PROBLEM]

In order to solve the foregoing problem, the present invention provides a TFT-type thin film photosensor in which the thickness of a gate insulating film 15 is made larger than that of a gate insulating film 16 of a switching TFT, and a gate insulating film/amorphous silicon interface in each TFT of the TFT-type thin film photosensor and the switching TFT is formed under the same conditions. To realize this arrangement, each gate electrode of the TFT-type thin film photosensor and the switching TFT is formed from a metal layer manufactured through a separate process.

THIS PAGE IS ANK (ISPTO)

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(J.P.) (12)公開特許公報(A)
特開平5-243547
(43)公開日 平成5年(1993)9月21日

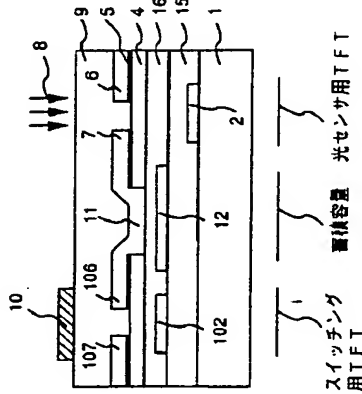
(5)Int.Cl. ⁴ H01L 27/146 H04N 5/335	識別記号 E 4228-5C 7210-4M	特許庁番号 F I H 01 L 27/14 C	技術表示箇所
(21)出願番号 特願平4-44392	(71)出願人 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 金子 好之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内 山口 宗明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内 筒井 謙 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内 代理人 弁理士 小川 勝男	(72)発明者 金子 好之 山口 宗明 筒井 謙	審査請求 未請求 請求項の数3(全6頁)
(22)公開日 平成4年(1992)3月2日			

(54)【発明の名称】 薄膜光センサ

(57)【要約】

【目的】 密着型二次元イメージセンサに好適な、明電流の大きいTFT型薄膜光センサを提供する。
【構成】 光センサ用TFTのゲート絶縁膜15の厚さをスイッチング用TFTのゲート絶縁膜16の厚さより大きくし、なおかつそれぞれのTFTにおけるゲート絶縁膜/非晶質シリコン界面を同一条件で形成した。
【効果】 明電流が改善され、素子の小型化、高信頼化に対応することができるとする。

図1



15:第1のゲート絶縁膜
16:第2のゲート絶縁膜

【特許請求の範囲】

【請求項1】 少なくとも光センサ用薄膜トランジスタとスイッチング用薄膜トランジスタと前記光センサ用薄膜トランジスタおよび前記スイッチング用薄膜トランジスタに接続された容量性の負荷からなる薄膜光センサであって、前記光センサ用薄膜トランジスタのゲート絶縁膜厚が前記スイッチング用薄膜トランジスタのゲート絶縁膜厚よりも大きいことを特徴とする薄膜光センサ。

【請求項2】 請求項1において、前記スイッチング用薄膜トランジスタ、前記光センサ用薄膜トランジスタ及び容量性の負荷の組を単位として、それらが複数組マトリクス配列され、前記スイッチング用薄膜トランジスタのゲートが行方向に共通配線され、ドレインが列方向に共通配線されてマトリクスアレイを構成する薄膜光センサ。

【請求項3】 請求項1または2において、前記スイッチング用薄膜トランジスタ及び光センサ用薄膜トランジスタの半導体層が非晶質シリコンからなる薄膜光センサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンピュータへの画像、文字入力、あるいは、ファクシミリへの画像、文字入力、あるいは、その他の画像情報を扱うものへの画像情報入力に用いられる二次元画像入力装置に関するものである。

【0002】

【従来の技術】 ファクシミリの使用、あるいは、コンピュータに対する画像の入力など、画像入力装置を使用することが広く普及してきている。近年、これらの画像入力装置に、薄膜トランジスタ(以下TFT)を用いた薄膜光センサが開発されている。

【0003】 この薄膜光センサの基本構造は、特開昭58-18978号公報に記載されている。これは図4に示すように、液晶ディスプレイの駆動に用いられる薄膜トランジスタにおいてソース電極6及びドレイン電極7から光を照射して非晶質シリコン(a-Si)4に吸収させ、入射光量に応じたソース、ドレイン間電流を取出す。この光センサ用TFTの特性の一例を図5に示す。光照射時(明状態)と暗状態とでは、特に、TFTのゲートオフ時の電流レベルに変化が著しいので、このゲート電圧条件で用いるのが望ましい。また、この光センサは、非晶質シリコンを用いるので大面積化に好適である。

【0004】 さらに、実開平2-8055号公報には、この型の光センサを二次元アレイ化するのに適した基本構造が開示されている。その概要を図6、図7に示す。図6は断面構造である。上記と同様の薄膜光センサ用途のTFTの他にスイッチング用TFT及び電荷蓄積用の容量(蓄積容量)が設けられている。これを等価回路で示したのが図7である。

【0005】 ① まずスイッチングトランジスタをオン

として蓄積容量を充電する。

② 次にスイッチングトランジスタをオフした後、光の強度に応じて充電電荷が放電される。これは光センサのソース、ドレイン間に光電流が流れるためである。

③ 所定の時間の後、再びスイッチングトランジスタをオンして蓄積容量を充電する。この時の充電電流を取り出して、光の強度を検出する。

この駆動では、①と③の充電動作を兼ねさせることも可能である。

【0006】 なお、上記公報では、図6の構造をさらに簡易化した図8のような構造も開示されている。これらの構成では、光センサ用途のTFT、スイッチング用TFT及び蓄積容量を同一プロセスで形成でき、コストが低く、トダイオードを用いる場合と比べると、この利点の重要性は明白である。すなわち、ホトダイオードの場合は、その膜の増幅率がスイッチング用TFTのそれと整合しないので、作製手順が非常に複雑になる。

【0007】 上述のように、従来技術によるTFTを用いた薄膜光センサは大面積にわたる2次元化が容易であり、また、従来の液晶ディスプレイ用TFTの作製方法をそのまま流用できるので、きわめて有望であるということができる。

【0008】

【発明が解決しようとする課題】 しかし、上記薄膜光センサの特性には、改善すべき余地が残っている。すなわち、図5に示したような光センサ用TFTの電流-電圧特性において、明電流が低く抑えられ、したがって、この明電流を大きくすることがこの型の光センサの課題であった。

【0009】

【課題を解決するための手段】 上記課題を解決するためには、本発明では、光センサ用のTFTのゲート絶縁膜をスイッチング用TFTのゲート絶縁膜より厚くした。また、トランジスタのチャネル領域であるゲート絶縁膜と非晶質シリコンの界面を、光センサ用のTFTとスイッチング用TFTとで同一条件で形成した。そのために特に光センサ用のTFTとスイッチング用TFTのゲート電極を別の工程で形成された金属層を用いて形成した。

【0010】

【作用】 光センサ用TFTのゲート絶縁膜を厚くすることにより、負のゲート電界がチャネルを流れる光電流を抑える効果を低減し、従来よりも大きな明電流を実現できる。またその際、光センサ用のTFTとスイッチング用TFTのゲート電極を別の工程で形成するのでスイッチング用TFTのゲート絶縁膜は従来と同程度に保たれ、スイッチング速度の低下は生じることがない。

(3)

[0011]

【実施例】以下、本発明の実施例を図1により説明する。図1は本実施例による薄膜光センサの断面図である。この光センサの作製プロセスは次の通りである。

【0012】ガラス基板1上に、光センサ用TFTのゲート電極2として200nmのCrをスパッタリング法により堆積し、通常のフォトリソグラフィ法を用いてパターンニングする。ついでCVD法により第1のゲート絶縁膜15のSiO₂(300nm)を堆積する。その後、再びスパッタリング法により厚さ200nmのCrによりスッチングTFT用のゲート電極102と蓄積容量の一方の電極12を形成する。

【0013】次に、CVD法により第2のゲート絶縁膜6である窒化シリコン4(Si₃N₄)、半導体層としての非晶質シリコン(a-Si:H)をそれぞれ300nm、200nmの厚さに堆積する。さらに同じくプラズマCVD法により、オーミックコンタクトを取るためのn型a-Si:H6も上記2層に続いて堆積する。厚さは、40nmである。

【0014】プラズマCVD法は、真空容器中にモリブデンSiH₄をベースとしたガスを導入し、RFパワを加えることによりプラズマを形成し、これにより分解したSiおよび水素を基板上に堆積するものである。この場合、a-Siが形成されるが、SiH₄とともに窒素やリンを導入すればSi₃N₄が形成される。また、ホスフィン(PH₃)を導入すれば、n型不純物である磷をドーパしたa-Siを形成することができ、これらは、ゲート絶縁膜やオーミックコンタクト層となる。真空中のa-Si層はパターンニングされる。

【0015】つぎにソース電極6、106とドレイン電極7、107及び蓄積容量の他方の電極11を形成する。電極材料はCrとAlの二層膜を用いる。Crはa-SiとAlの反応を防止するためのバンプ層であり、Alは電極の低抵抗化のためである。各々の厚さは100nm、300nmである。CrとAlの二層膜は、この後、パターンニングして形成される。なお、パターンニングされたソースおよびドレイン電極をマスクとしてn+a-Si:H層もエッチングする。これは、セルフアライン工程となる。

【0016】この後、チャネル保護膜としてプラズマCVDによるSi₃N₄を用いてスッチングTFT及び光センサ用TFTの保護膜9を被け、次にスッチングTFTの上方にはソース・ドレイン電極と重畳するようにAlの600nmを用いて遮光膜10を形成する。すなわち、この遮光膜によって、明状態や暗状態にかかわらずスッチングTFTの良好な動作が可能になる。

【0017】図2は本実施例による光センサ用TFTのドレイン電圧を10Vに固定した場合の電流-電圧特性を示したものである。この光センサは、ゲート絶縁膜厚が図5に示したものの2倍程度厚いので、ゲート電界が

小さくなり、特に明電流が抑制されずに1桁程度大きく

なっている。一方、暗電流の変化はこれに比べて小さく、明暗比が改善されている。

【0018】図3は薄膜光センサを2次元に配列したものの等価回路である。各要素は、上述のように光センサ用TFT、スッチング用TFT及び蓄積容量から成る。光センサ用の三つの端子のうち、ドレイン端子は蓄積容量の一方の端子に接続され、ソース端子は蓄積容量のもう一方の端子に接続されて接地されている。またゲート端子は、図2に示されるように明暗比の値保たる電圧範囲(例えば-3V以下)の一定電圧V_{gs}に固定される。スッチング用TFTの三つの端子については、ゲート端子が垂直走査線に接続され、ドレイン端子が水平走査線に接続されている。またソース端子は、光センサ用TFTのドレイン端子に接続されている。水平走査線及び蓄積容量の一方の端子はスッチング用TFTのソース、ドレイン電極と同時に形成され、垂直走査線はスッチング用TFTのゲート電極と同時に形成される。各水平走査線は、水平走査回路に接続され、また各垂直走査線は垂直走査回路に接続されている。

【0019】この2次元薄膜光センサの駆動は、次の通りである。

① まず最初に、垂直走査線G1に接続された全てのスッチングTFTを所定時間t₁だけオン状態にする。この走査により各要素の蓄積容量が充電される。

② 次に、時間t₁の間に各水平走査線D1〜D_mを通じて、上記充電電荷量が読み出される。この充電電荷量は、イメージの明暗に対応してその大きが異なる。この場合の電荷量の読み出し方は、時間t₁をm分割して各水平走査線毎に順次読み出す(すなわち、水平走査線一本あたりの読み出し時間は1/m秒)方法と、各水平走査線の読み出しに時間t₁を充てて、垂直走査線G1に流れる面素の充電電荷量を同時に読み出す方法がある。本発明による光センサでは、いずれの方法も可能である。

③ 垂直走査線G1に接続された全てのスッチングTFTをオフ状態にする。

【0020】④ 次段の垂直走査線G2に接続された全てのスッチングTFTを所定時間t₁だけオン状態にし、上記②と同じ操作を行う。

⑤ 同様にして配列④を、垂直走査線G_nまで行い、読み出しが完了する。面素一枚あたりの読み出し時間はn×t₁秒である。

【0021】さて、光センサによる画像読み取りについて、例えば、垂直走査線G1に接続された面素に着目して説明する。③でスッチングTFTをオフ状態にした後、次にオン状態になるまでの(n-1)×t₁秒間に光センサ用TFTが蓄積容量に保持された電荷を放電する。この放電電荷量は、光センサに入射する光の量によって決まる。これが面素読み取り動作である。

(4)

[0022]

以上説明してきたように、本発明は蓄積容量を用いたTFT型光センサにおいて、明電流を上させることが可能な構造である。この意味で、本発明は上記実施例に限定されない。例えば、ゲート電極はCrに代るAlやTaであってもよいし、ゲート絶縁膜はSi₃N₄やSiO₂に限らずAl₂O₃やTa₂O₅あるいはこれらの組合せであってもよい。またTFTの半導体材料は、非晶質シリコンに限らず多結晶シリコンであってもよい。

[0023]

【発明の効果】本発明によれば、蓄積容量を用いたTFT型光センサにおいて光センサ用TFTのゲート絶縁膜厚を厚くすることにより、負のゲート電界がチャネルを流れる光電流を抑える効果を低減し、従来よりも大きな明電流を實現できる。またその際、光センサ用のTFTとスッチング用TFTのゲート電極を別の工程で形成するでスッチング用TFTのゲート絶縁膜厚は従来と同程度に保たれ、スッチング用TFTの低下は生じることはない。従って、面素における素子形状の小型化、面素の高精細化を實現することができる。

【図面の簡単な説明】

[図1]

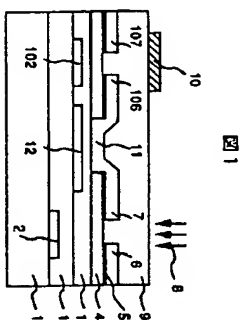


図1

[図2]

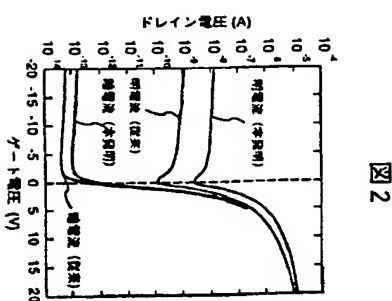


図2

[図1] 本発明の実施例の説明図。

【図2】本発明による光センサ用TFTの電流-電圧特性図。

【図3】本発明による2次元薄膜光センサの等価回路図。

【図4】従来技術によるTFT型光センサの断面図。

【図5】従来技術によるTFT型光センサの電流-電圧特性図。

【図6】従来技術による薄膜光センサの断面構造図。

[図7]

図6の等価回路図。

【図8】従来技術による薄膜型薄膜光センサの断面図。

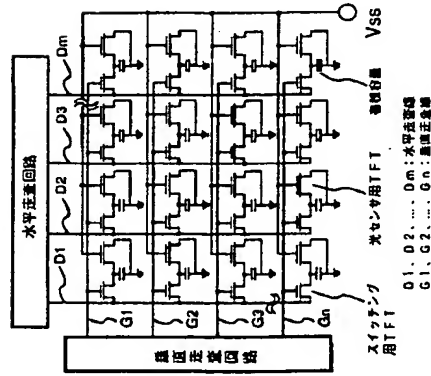
【図9】ホトダイオードを用いた従来技術によるセンサの説明図。

[符号の説明]

1…ガラス基板、2、102…ゲート電極、4…非晶質シリコン、5…n型非晶質シリコン、6、106…ソース電極、7、107…ドレイン電極、8…入射光、9…保護膜、10…遮光膜、11、12…蓄積容量用電極、15…第1のゲート絶縁膜、16…第2のゲート絶縁膜。

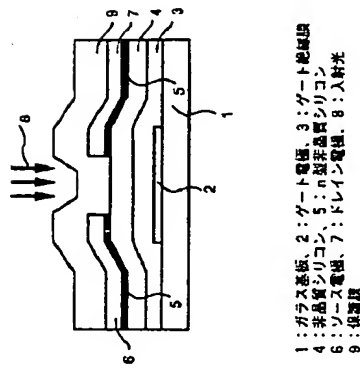
【図3】

図3



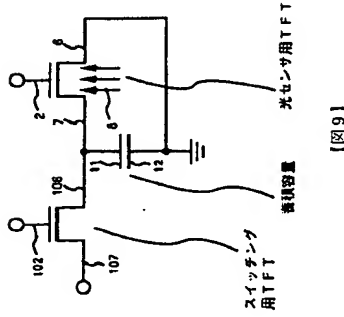
【図4】

図4



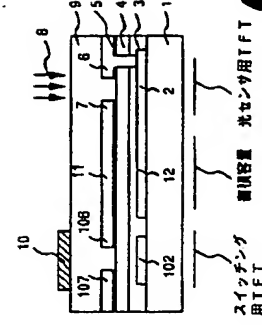
【図7】

図7



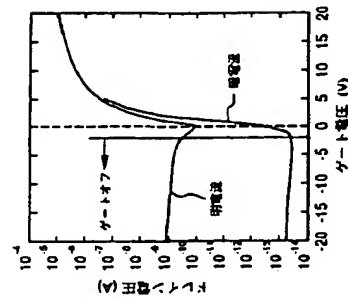
【図8】

図8



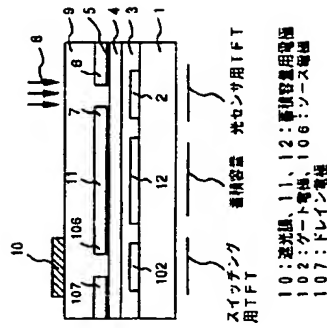
【図5】

図5

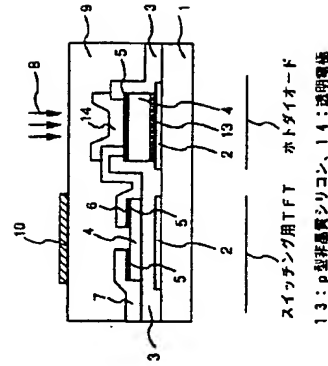


【図6】

図6



【図9】



THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY